

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   4 月 1 5 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 1 1 0 3 7 2  
Application Number:

[ST. 10/C]:            [ J P 2 0 0 3 - 1 1 0 3 7 2 ]

出 願 人            N T N 株 式 有 限 公 司  
Applicant(s):

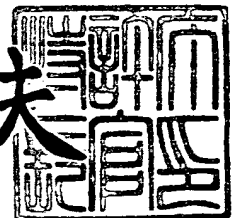
BEST AVAILABLE COPY

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年   4 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 4 - 3 0 3 7 0 2 9

【書類名】 特許願

【整理番号】 0340180

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 39/22

【発明の名称】 高温超電導装置及びその製造方法

【請求項の数】 5

【発明者】

【住所又は居所】 東京都江東区東雲一丁目 1 4 番 3 号 財団法人国際超電  
導産業技術研究センター超電導工学研究所内

【氏名】 堀部 雅弘

【発明者】

【住所又は居所】 東京都江東区東雲一丁目 1 4 番 3 号 財団法人国際超電  
導産業技術研究センター超電導工学研究所内

【氏名】 鈴木 秀雄

【発明者】

【住所又は居所】 東京都江東区東雲一丁目 1 4 番 3 号 財団法人国際超電  
導産業技術研究センター超電導工学研究所内

【氏名】 石丸 喜康

【発明者】

【住所又は居所】 東京都江東区東雲一丁目 1 4 番 3 号 財団法人国際超電  
導産業技術研究センター超電導工学研究所内

【氏名】 若菜 裕紀

【発明者】

【住所又は居所】 東京都江東区東雲一丁目 1 4 番 3 号 財団法人国際超電  
導産業技術研究センター超電導工学研究所内

【氏名】 田辺 圭一

## 【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

## 【特許出願人】

【識別番号】 391004481

【氏名又は名称】 財団法人 国際超電導産業技術研究センター

## 【代理人】

【識別番号】 100105337

【弁理士】

【氏名又は名称】 眞鍋 潔

## 【選任した代理人】

【識別番号】 100072833

【弁理士】

【氏名又は名称】 柏谷 昭司

## 【選任した代理人】

【識別番号】 100075890

【弁理士】

【氏名又は名称】 渡邊 弘一

## 【選任した代理人】

【識別番号】 100110238

【弁理士】

【氏名又は名称】 伊藤 壽郎

## 【手数料の表示】

【予納台帳番号】 075097

【納付金額】 21,000円

## 【その他】

国等の委託研究の成果に係る特許出願（平成 1 4 年度新エネルギー・産業技術総合開発機構「超電導応用基盤技術研究開発」委託研究、産業活力再生特別措置法第 3 0 条の適用を受けるもの）

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9906989

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高温超電導装置及びその製造方法

【特許請求の範囲】

【請求項 1】 基板上に少なくとも 2 つの臨界電流密度が異なるランプエッジ構造のジョセフソン接合を設けたことを特徴とする高温超電導装置。

【請求項 2】 上記臨界電流密度が異なるジョセフソン接合のうち、相対的に高臨界電流密度のジョセフソン接合により相対的に高速動作回路要素を構成し、相対的に低臨界電流密度のジョセフソン接合により相対的に低速動作回路要素を構成することを特徴とする請求項 1 記載の高温超電導装置。

【請求項 3】 上記臨界電流密度が異なるジョセフソン接合が、互いに異なるダメージを受けた表面改質型の障壁層、或いは、互いに異なる厚さの堆積膜からなる障壁層のいずれかにより構成されることを特徴とする請求項 1 または 2 に記載の高温超電導装置。

【請求項 4】 基板上に設けた同一の島状領域に複数の斜面を有するランプエッジ構造を形成したのち、少なくとも 1 つの斜面におけるダメージが、他の斜面に対するダメージと異なる条件でイオン照射を行う工程を有することを特徴とする高温超電導装置の製造方法。

【請求項 5】 基板上に設けた同一の島状領域に複数の斜面を有するランプエッジ構造を形成したのち、少なくとも 1 つの斜面における堆積膜厚が、他の斜面に対する堆積膜厚と異なる条件で障壁層を堆積する工程を有することを特徴とする高温超電導装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は高温超電導装置及びその製造方法に関するものであり、例えば、高温超電導回路装置を異なった臨界電流密度  $J_c$  を有するランプエッジ型の超電導接合で構成するための手段に特徴のある高温超電導装置及びその製造方法に関するものである。

【0002】

**【従来の技術】**

近年、イットリウム系超電導体に代表される酸化物高温超電導体は、液体窒素温度以上で超電導状態を示すため、従来の液体Heによる冷却が必要な金属系超電導体に比べて冷却機構が簡素化され、センサ、論理回路等への各種の応用が期待されている（例えば、特許文献1参照）。

**【0003】**

この様な酸化物高温超電導体は、結晶中でCuとOで構成されるCu-O平面に沿って超電導電流が流れ易い性質を有しているため、このCu-O平面に平行な方向に接合が横切る構造が望ましく、そのために、高温超電導装置に用いる超電導接合としてランプエッジ型接合が提案されている。

**【0004】**

この様なランプエッジ型接合としては、障壁層を堆積膜で形成するタイプと、イオン注入により表面を改質して障壁層とするタイプが知られている（例えば、特許文献2及び非特許文献1参照）。

**【0005】**

また、超電導回路のうち、単一磁束量子（Single Flux Quantum: SFQ）回路は、超高速、低エネルギーで動作するという特徴を有しており、高温超電導体でSFQ回路を設計・作製する場合、回路中に存在するジョセフソン接合を含む超電導ループでは、そのループのインダクタンス $L$ とジョセフソン接合の臨界電流値 $I_c$ との積（ $L \times I_c$  積）が1量子磁束 $\Phi_0$  或いは、 $\Phi_0 / 2$  という条件を満たすように設計する必要がある。

**【0006】**

この場合、SFQ回路に用いる接合の臨界電流 $I_c$  と常伝導抵抗 $R_n$  との積、即ち、 $I_c \times R_n$  積が高いほど、SFQパルスの幅が狭くなり、高速動作が実現することができるが、高温超電導界面改質型接合の場合、 $I_c \times R_n$  積を高くするためには臨界電流密度 $J_c$  を高くすることで実現できるので、この様子を図18を参照して説明する。

**【0007】**

図18参照

図18は、 $I_c \times R_n$  積の  $J_c$  依存性を示す実測データであり、高温超電導界面改質型接合の状態により指数は異なるものの、

$$I_c \times R_n = J_c^{0.2} \text{、或いは、}$$

$$I_c \times R_n = J_c^{0.5}$$

の依存性が得られ、したがって、 $J_c$  を大きくすることによって  $I_c \times R_n$  積を大きくすることができることが理解される。

#### 【0008】

ここで、図19及び図20を参照して、ランプエッジ界面改質型接合を有する超電導接合素子を説明する。

図19 (a) 参照

まず、 $SrTiO_3$  基板51上にパルスレーザ堆積法を用いて下部電極となるYBCO ( $YBa_2Cu_3O_{7-x}$ ) 層52、層間絶縁膜となる $CeO_2$  膜53を順次堆積させる。

#### 【0009】

図19 (b) 参照

次いで、レジストを塗布し、露光・現像することによってパターンニングしたのち、リフロー処理することによってレジストパターン54を形成し、次いで、このレジストパターン54をマスクとしてArイオン55を照射してイオンミリングを行うことによってランプエッジ構造を形成する。

#### 【0010】

図19 (c) 参照

次いで、露出したランプ傾斜面56に、 $SrTiO_3$  基板51に対して例えば垂直にArイオン57を照射して表面改質層58を形成する。

#### 【0011】

図20 (d) 参照

次いで、再び、スパッタ法で上部電極を構成するYBCO層59を堆積させる。

#### 【0012】

図20 (e) 乃至 (g) 参照

次いで、YBCO層59にイオンミリングを施すことによってブリッジ部60を形成することによってランプエッジ界面改質型接合の基本構成が完成する。

なお、図20(e)は平面図であり、図20(f)は図20(e)におけるA-A'を結ぶ一点鎖線に沿った概略的断面図であり、また、図20(g)は図20(e)におけるB-B'を結ぶ一点鎖線に沿った概略的断面図である。

#### 【0013】

この場合、下部電極層を加工してランプ斜面を4方向に作製し、基板面に対し垂直にイオン照射を行うことでランプ斜面に均一なダメージ層を形成しているので、4方向に同じ臨界電流密度 $J_c$ を有する界面改質型接合を形成することができ、それによって、回路中の接合の $J_c$ が揃うので、正確な回路動作を実現することができる。

#### 【0014】

上述のように、SFQ回路設計において $L \times I_c$ 積を満たす条件( $L \times I_c < \Phi_0$ )で回路中のインダクタンス $L$ およびジョセフソン接合の臨界電流 $I_c$ を決定しなければならないが、ランプエッジ構造はブリッジ部を介して上下電極で障壁層を挟むことで構成されているため、接合と直列に寄生インダクタンスを生じることになる。

#### 【0015】

リソグラフィの限界や材料加工上の制約によってジョセフソン接合の寸法や電極・配線間の間隔の最小寸法が決まるため、寄生インダクタンスは少なからず存在することになるが、この状況で、 $I_c \times R_n$ 積を高くするためにジョセフソン接合を高 $J_c$ 化すると、同じ $I_c$ を得るためには接合幅、即ち、ブリッジ幅を狭くする必要がある。

#### 【0016】

この際、ジョセフソン接合に直列に存在するブリッジの長さはその幅に対して長くなることになり、寄生インダクタンスも大きくなる。

例えば、電極の厚さ、ブリッジの長さ、シートインダクタンスが同じ状況で同じ臨界電流 $I_c$ を有するジョセフソン接合を作製する場合、臨界電流密度 $J_c$ を $N$ 倍にすると接合幅は $1/N$ 倍になり、寄生インダクタンスは $N$ 倍となる。



## 【0017】

結果として、ジョセフソン接合の  $J_c$  を高くすることでジョセフソン接合を含む超電導ループのループインダクタンスは大きくなる。

したがって、上述の  $L \times I_c$  積の条件 ( $L \times I_c < \Phi_0$ ) を満たすことができなくなり、回路を動作させることができなくなる。

## 【0018】

そこで、現在の回路設計では回路中に存在する要素回路のうち、最も  $L \times I_c$  積の制約が厳しい回路に合わせてインダクタンスを決め、寄生インダクタンスの影響を極力減らすために、接合幅を広くしている。

## 【0019】

## 【特許文献1】

特開 2000-353831号公報

## 【特許文献2】

特開 2001-244511号公報

## 【非特許文献1】

Supercond. Sci. Technol., Vol. 14, p. 1052-1055, 2001

## 【0020】

## 【発明が解決しようとする課題】

しかしながら、寄生インダクタンスの影響を極力減らすために接合幅を広くした場合、ジョセフソン接合の  $J_c$  は高くできず、 $I_c \times R_n$  積が比較的小さな接合を用いることとなり、結果として、SFQパルスの幅が広くなり、SFQ回路の動作速度が制限されたり、動作の不確定さ（ジッター）が大きくなるといった回路の性能低下を引き起こすこととなるという問題がある。

## 【0021】

したがって、本発明は、SFQ回路等の超電導回路の安定な高速動作を可能にすることを目的とする。

## 【0022】

## 【課題を解決するための手段】

図1は本発明の原理的構成図であり、この図1を参照して本発明における課題を解決するための手段を説明する。

なお、図において、符号4, 7, 8は、それぞれ下部電極層、上部電極層、及び、ブリッジである。

図1(a)及び(b)参照

上記の目的を達成するために、本発明は、高温超電導装置において、基板1上に少なくとも2つの臨界電流密度が異なるランプエッジ構造のジョセフソン接合9, 10を設けたことを特徴とする。

#### 【0023】

この様に、基板1上に少なくとも2つの臨界電流密度 $J_c$ が互いに異なるランプエッジ構造のジョセフソン接合9, 10を作り分け、それぞれの接合性能を各要素回路ごとに使い分けることでSFQ回路等の超電導回路装置の高速動作と安定動作とを両立することができる、それによって、高温超電導装置の性能を向上することができる。

#### 【0024】

この場合、相対的に高臨界電流密度のジョセフソン接合9を用いることによって $I_c \times R_n$ が大きくなるので高速動作が可能になり、一方、相対的に低臨界電流密度のジョセフソン接合10を用いることによって接合幅を広くしてインダクタンス $L$ を小さくし、それによって、 $L \times I_c$ の条件が厳しい回路要素において $L \times I_c < \Phi_0$ の条件を満たすようにして安定動作を可能にすることができる。

#### 【0025】

この様な $L \times I_c$ の制約が厳しくない回路要素としては、パルス発生器或いは比較器が挙げられ、この内の少なくとも一方を相対的に高臨界電流密度のジョセフソン接合9で構成すれば良い。

#### 【0026】

即ち、超電導回路装置においては、 $L \times I_c$ 積の制約が厳しくない回路もあり、特に、回路全体の性能や動作速度を決めることとなるパルス発生器や比較器などがそれにあたる。

#### 【0027】

このような要素回路においては $L \times I_c$  積の条件に束縛されることなく、ジョセフソン接合 9 の  $I_c \times R_n$  積を高くするために接合幅を狭くし、 $J_c$  を高くすることも可能である。

つまりは、高速・高精度が要求される要素回路においては高  $J_c$  接合で構成し、 $L \times I_c$  積の条件が厳しい要素回路においては寄生インダクタンス  $L$  を小さくするために比較的低い  $J_c$  の接合で構成するといった接合の性能を使い分けることが重要となる。

#### 【0028】

また、上述の臨界電流密度が異なるジョセフソン接合 9, 10 は、互いに異なるダメージを受けた表面改質型の障壁層 5, 6、或いは、互いに異なる厚さの堆積膜からなる障壁層 5, 6 のいずれかにより構成すれば良い。

#### 【0029】

また、臨界電流密度が異なるジョセフソン接合 9, 10 は、同一の島状領域 2, 3 に複数の斜面を有するランプエッジ構造を形成したのち、少なくとも 1 つの斜面におけるダメージが、他の斜面に対するダメージと異なる条件でイオン照射を行えば良く、例えば、島状領域 2, 3 に対して基板 1 を回転させない条件で、イオンを一定の傾斜方向から照射すれば良い。

#### 【0030】

或いは、臨界電流密度が異なるジョセフソン接合 9, 10 は、同一の島状領域 2, 3 に複数の斜面を有するランプエッジ構造を形成したのち、少なくとも 1 つの斜面における堆積膜厚が、他の斜面に対する堆積膜厚と異なる条件で障壁層 5, 6 を堆積すれば良く、例えば、島状領域 2, 3 に対して基板 1 を回転させない条件で、一定の傾斜方向から障壁層 5, 6 を構成する材料をスパッタ法により堆積すれば良い。

#### 【0031】

##### 【発明の実施の形態】

ここで、図 2 乃至図 4 を参照して、本発明の第 1 の実施の形態のランプエッジ型界面改質型接合の形成工程を説明する。

図 2 (a) 参照

まず、 $[\text{LaAlO}_3]_{0.3} [\text{Sr}(\text{Al}, \text{Ta})\text{O}_3]_{0.7}$  からなるLSAT基板11上にレーザ蒸着法(PLD:Pulse Laser Deposition)を用いて、厚さが、例えば、200nmのYBCO( $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ )からなる下部電極層12と、厚さが、例えば、300nmのLSATからなる絶縁層13を順次堆積させる。

#### 【0032】

図2(b)参照

次いで、絶縁層13上にレジストを塗布し、露光・現像したのち、ベーキングを行ってレジスト膜をリフローしてレジストパターン14を形成し、次いで、このレジストパターン14をマスクとして、LSAT基板11を回転させながらArイオン15を斜め方向から照射することによって、絶縁層13及び下部電極層12をエッチングしてランプ傾斜面16を形成する。

#### 【0033】

図2(c)参照

次いで、レジストパターン14を除去したのち、LSAT基板11を回転させながらArイオン17を基板面を垂直方向から2分間照射することによって、ランプ傾斜面16にダメージ層18を形成する。

#### 【0034】

図3(d)参照

次いで、LSAT基板11の回転を止めた状態で、Arイオン19を基板面に対して、例えば、 $30^\circ$ の角度で2分間照射して、一方のランプ傾斜面16にさらにダメージを与えてダメージ層18より大きなダメージを受けたダメージ層20を形成する。

#### 【0035】

図3(e)参照

次いで、LSAT基板11をPLDの真空チャンバーに移し、上部堆積温度にまで酸素中で昇温した後、YBCOからなる上部電極層21を堆積し、この上部電極層21を所望の臨界電流密度が得られるダメージ層の部分でパターンニングしてブリッジを形成することによって所望の $L \times I_c$  積或いは所望の $I_c \times R_n$  積

を有するジョセフソン接合を形成することができる。

【0036】

図4 (a) 参照

この場合、図3 (d) の工程において、正形状の下部電極層12に対し、一方のランプ傾斜面16に対して平面図的に直交する方向からArイオン19を照射することによって、ダメージの大きさは斜面a<斜面b=斜面d<斜面cの関係となり、このダメージは接合バリアになるため、同一基板内に3つの異なるJ<sub>c</sub>を有するジョセフソン接合を作り分けることができる。

【0037】

図4 (b) 参照

また、図3 (d) の工程において、正形状の下部電極層12に対し、平面図的に正方形の対角線方向からArイオン19を照射することによって、ダメージの大きさは斜面a=斜面d<斜面b=斜面cの関係となり、同一基板内に2つの異なるJ<sub>c</sub>を有するジョセフソン接合を作り分けることができる。

【0038】

次に、図5及び図6を参照して、本発明の第2の実施の形態のランプエッジ型界面改質型接合の形成工程を説明する。

図5 (a) 参照

まず、上記の第1の実施の形態と同様に、LSAT基板11上にレーザ蒸着法を用いて、厚さが、例えば、200nmのからなる下部電極層12と、厚さが、例えば、300nmのLSATからなる絶縁層13を順次堆積させる。

【0039】

次いで、絶縁層13上にレジストを塗布し、露光・現像したのち、ベーキングを行ってレジスト膜をリフローしてレジストパターン14を形成し、次いで、このレジストパターン14をマスクとして、LSAT基板11を回転させながらArイオン15を斜め方向から照射することによって、絶縁層13及び下部電極層12をエッチングしてランプ傾斜面16を形成する。

【0040】

図5 (b) 参照

次いで、レジストパターン 14 を除去したのち、L S A T 基板 11 の回転を止めた状態で、基板面に対して、例えば、 $30^\circ$  の角度で P B C O (  $\text{PrBa}_2\text{Cu}_3\text{O}_{7-x}$  ) をレーザ蒸着して、厚く堆積する部分が例えば  $30\text{ nm}$  になるように障壁層 22 を堆積させる。

#### 【0041】

図 5 (c) 参照

次いで、L S A T 基板 11 を真空チャンバー中で堆積温度にまで酸素中で昇温した後、Y B C O からなる上部電極層 21 を堆積し、この上部電極層 21 を所望の臨界電流密度が得られる膜厚の障壁層 22 の部分でパターンニングしてブリッジを形成することによって所望の  $L \times I_c$  積或いは所望の  $I_c \times R_n$  積を有するジョセフソン接合を形成することができる。

#### 【0042】

図 6 (a) 参照

この場合、図 5 (b) の工程において、正形状の下部電極層 12 に対し、一方のランプ傾斜面 16 に対して平面図的に直交する方向から P B C O を蒸着することによって、膜厚は斜面  $a < \text{斜面 } b = \text{斜面 } d < \text{斜面 } c$  の関係となり、同一基板内に 3 つの異なる  $J_c$  を有するジョセフソン接合を作り分けることができる。

#### 【0043】

図 6 (b) 参照

また、図 5 (b) の工程において、正形状の下部電極層 12 に対し、平面図的に正方形の対角線方向から P B C O を蒸着することによって、膜厚は斜面  $a = \text{斜面 } d < \text{斜面 } b = \text{斜面 } c$  の関係となり、同一基板内に 2 つの異なる  $J_c$  を有するジョセフソン接合を作り分けることができる。

#### 【0044】

以上を前提として、次に、本発明の第 3 の実施の形態の超電導回路装置を説明する。

図 7 参照

図 7 は、本発明の第 3 の実施形態の超電導回路装置の前提となるパルス発生回路の一例である D C / S F Q 変換回路の等価回路図である。

この回路は入力  $I_{\text{sgn}}$  として直流電流を印加し、入力信号があるレベルを超えると出力端から S F Q パルスが出力されるが、この際、回路に用いられるジョセフソン接合の  $I_c \times R_n$  積が大きいほど発生するパルスの時間幅が狭くなるので、その様子を図 8 を参照して説明する。

#### 【0045】

図 8 参照

図 8 は、 $I_c \times R_n$  積を 0.5 mV, 1.0 mV, 1.5 mV としたときの発生パルスのシミュレーション結果である。

このパルスの半値幅は、 $I_c \times R_n$  積が 0.5 mV のジョセフソン接合を用いた場合は 5.8 p s (ピコ秒)、1.0 mV の場合には 2.6 p s、そして、1.5 mV の場合には 1.85 p s となり、 $I_c \times R_n$  積が大きいジョセフソン接合を用いるほど幅の狭いパルスを発生することができることが理解される。

#### 【0046】

これにより、高  $I_c \times R_n$  接合を用いた回路ではパルス間隔を狭くすることができ、結果として動作速度を高くすることが可能となり、そのためには、高  $J_c$  のジョセフソン接合により DC / S F Q 変換回路を構成すれば良い。

#### 【0047】

図 9 参照

この他に、パルス発生部に高  $J_c$  接合を用いた設計において、 $L \times I_c$  積の条件を満たすことができない場合、図に示す等価回路のように DC / S F Q 変換回路は  $I_c \times R_n$  積の低い接合を用い、後段のジョセフソン伝送線路 J T L において  $I_c \times R_n$  積の高い接合を用い、パルス幅を狭く整形することができる。

#### 【0048】

この際、J T L に用いた接合の  $I_c \times R_n$  積にかかわらず DC / S F Q 変換回路から発生するパルスの時間幅は同じであるが、後段の J T L においてパルス波形が整形されパルス幅を変えることができるので、この様子を図 10 を参照して説明する。

#### 【0049】

図 10 参照

図10は、図9におけるJTL部分の接合の $I_C \times R_n$ 積を0.5mV, 1.0mV, 1.5mVとした場合のシミュレーション結果を示したものである。

なお、DC/SFQ変換回路部の接合の $I_C \times R_n$ 積は0.5mVである。

#### 【0050】

図に示すように、パルス幅はJTL部分のジョセフソン接合 $J_4$ ,  $J_5$ の $I_C \times R_n$ 積が0.5mVの場合は9.6ps、1.0mVの場合には2.95ps、そして、1.5mVの場合には2.05psとなり、JTL部分のジョセフソン接合 $J_4$ ,  $J_5$ の $I_C \times R_n$ 積を高くすることで幅の広いパルスからパルス幅の狭いパルスを生成することができる。

#### 【0051】

図11参照

このような幅の狭いパルスを図11に示すようなDC/SFQ変換回路、JTL、及び、比較器よりなる回路における比較器のサンプリングパルスとして用いれば、ジッターの影響を小さくすることができ高精度な比較動作が実現できる。

#### 【0052】

図12参照

図12は、図11の回路における比較器への入力信号と出力信号の時間差（遅延）のシミュレーション結果を示したものである。

#### 【0053】

図13参照

図13は、遅延と比較器へ入力される被比較信号のレベルの関係を、比較器を構成するジョセフソン接合 $J_6$ ,  $J_7$ の $I_C \times R_n$ 積を0.5mV, 0.75mV, 1.0mV, 1.5mVとした場合のシミュレーションした結果を示したものである。

なお、ここでは、比較器の後段のJTLのジョセフソン接合 $J_8$ ,  $J_9$ の $I_C \times R_n$ 積は0.5mVとしている。

#### 【0054】

図から明らかなように、 $I_C \times R_n$ 積が1.5mVのジョセフソン接合を用いた場合、被比較信号のレベルによらず1ps程度の遅延ではほぼ一定となる。



しかしながら、 $I_c \times R_n$  積が  $0.5\text{ mV}$  の接合を用いた場合は  $10\text{ ps}$  から  $4\text{ ps}$  の範囲で遅延が変化しており、比較動作の被比較信号レベル依存が確認された。

つまり、 $I_c \times R_n$  積が低い接合で回路を構成するとジッターが増加し、比較動作の精度が損なわれることとなる。

#### 【0055】

図14参照

図14は、遅延と回路に用いられているジョセフソン接合の  $I_c \times R_n$  積との関係のシミュレーション結果を示したものである。

図から明らかなように、ジョセフソン接合の高  $I_c \times R_n$  積化に対して遅延が小さくなっていることが理解される。

つまり、高  $I_c \times R_n$  積化にともない高速動作ができることを示している。

#### 【0056】

図15(a)及び(b)参照

図15(a)は、図11に示す回路のうち、比較器とその前後のジョセフソン接合  $J_6$ 、 $J_7$  のみの  $I_c \times R_n$  積を  $1.5\text{ mV}$  とし、その他のジョセフソン接合  $J_4$ 、 $J_5$ 、 $J_8$ 、 $J_9$  の  $I_c \times R_n$  積を  $0.5\text{ mV}$  とした場合のシミュレーション結果を示したものである。

なお、図15(b)は比較のために、全てのジョセフソン接合の  $I_c \times R_n$  積を  $0.5\text{ mV}$  で構成した場合のシミュレーション結果を示したものである。

#### 【0057】

図15(a)と図15(b)の比較から明らかなように、本発明の実施の形態の場合には、比較器に入力されるパルスは幅の狭いパルスに整形されて比較器に入力され、出力結果も少ない遅延で早く得られている。

#### 【0058】

また、上述の図13における  $I_c \times R_n = 1.5\text{ mV}$  のグラフから明らかなように、遅延時間の被比較信号レベル依存性はほとんどなく、ジッターは小さい。

また、その遅延も  $1\text{ ps}$  以下と回路全体を  $I_c \times R_n = 1.5\text{ mV}$  の接合で構成した回路とほぼ同じ高速性を有している。

## 【0059】

以上のシミュレーション結果から、ジョセフソン接合の性能を各要素回路で使い分けることで、高温超電導装置全体の性能を向上することができることが理解される。

## 【0060】

以上のシミュレーション結果に基づいて作製した本発明の第3の実施の形態の超電導回路装置を図16を参照して説明する。

## 図16 (a) 参照

図16 (a) は、本発明の第3の実施の形態の超電導回路装置の等価回路図であり、図11に示した回路と同様の回路であり、ジョセフソン接合 $J_1$ 、 $J_2$ 、 $J_3$ からなるDC/SFQ変換器、ジョセフソン接合 $J_4$ からなるJTL部、ジョセフソン接合 $J_5$ 、 $J_6$ からなる比較器、ジョセフソン接合 $J_7$ 、 $J_8$ 、 $J_9$ からなるJTL部、及び、ジョセフソン接合 $J_{10}$ 、 $J_{11}$ からなる読み出し用SQUIDからなる。

## 【0061】

## 図16 (b) 参照

図16 (b) は、図16 (a) の超電導回路装置を実現するための具体的素子構成図であり、LSAT基板31に形成した下部電極層／絶縁層からなる複数の島状領域32～36に、図3 (d) に示した一方向からのイオン照射を行って各島状領域32～36の中に異なったダメージ領域37、38を形成する。

## 【0062】

次いで、上部電極層39を構成するYBCO層を堆積させたのち、パターニングすることによって、ブリッジ40、41を形成するとともに引出配線部42等を形成する。

なお、ここでは、図における上側の領域に設けられたブリッジ40によるジョセフソン接合を高 $J_c$ とし、下側の領域に設けられたブリッジ41によるジョセフソン接合を低 $J_c$ とする。

## 【0063】

したがって、島状領域32に形成されるDC/SFQ変換器及びJTL部は高

$J_c$  のジョセフソン接合で形成され、また、島状領域 33 に形成される比較器も高  $J_c$  のジョセフソン接合で形成される。

#### 【0064】

一方、島状領域 34 に形成される JTL 部、及び、島状領域 35 に形成される SQUID は、低  $J_c$  のジョセフソン接合で形成される。

特に、SQUID は  $L \times I_c$  積の条件が厳しいので、低  $J_c$  のジョセフソン接合を用いることによってブリッジ幅を広くし、インダクタンス  $L$  を小さくする。

#### 【0065】

この様に、一つの島状領域におけるダメージ層のダメージをランプ斜面において異なるようにすることによって、一つの島状領域において異なった臨界電流密度のジョセフソン接合を形成することができ、このジョセフソン接合の性能を各要素回路で使い分けることで、装置構成を複雑化することなく簡単な構成により高温超電導装置全体の性能を向上することができる。

#### 【0066】

図 17 参照

図 17 は、図 16 (a) に示した超電導回路装置を実現するための他の具体的構成であり、ここでは、各島状領域 33～36, 43, 44 に形成したダメージ領域の関係は図 16 (b) の場合と同様にして、DC/SFQ 変換器を構成するブリッジの位置を変えたものである。

#### 【0067】

即ち、DC/SFQ 変換器を構成する 2 つのジョセフソン接合  $J_1$ ,  $J_2$  を低  $J_c$  のジョセフソン接合で構成し、他のジョセフソン接合  $J_3$  を JTL を構成するジョセフソン接合  $J_4$  とともに、高  $J_c$  のジョセフソン接合で構成したものである。

#### 【0068】

以上、本発明の各実施の形態を説明したが、本発明は各実施の形態に記載した構成及び条件に限られるものではなく、各種の変更が可能である。

例えば、上記の各実施の形態においては、基板として、LSAT、即ち、 $[\text{LaAlO}_3]_{0.3} [\text{Sr}(\text{Al}, \text{Ta})\text{O}_3]_{0.7}$  を用いているが、MgO 或い

は  $\text{SrTiO}_3$  等を用いても良いものである。

【0069】

また、上記の各実施の形態において、下部電極層及び上部電極層を  $\text{YBCO}$ 、即ち、 $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$  で構成しているが、 $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$  に限られるものではなく、 $\text{REBa}_2\text{Cu}_3\text{O}_{7-x}$  を用いても良いものである。

なお、 $\text{REBa}_2\text{Cu}_3\text{O}_{7-x}$  における  $\text{RE}$  は  $\text{Pr}$  及び  $\text{Ce}$  以外のランタノイド元素であり、これが単独或いは複数混合して  $\text{RE}:\text{Ba}:\text{Cu}=1:2:3$  の比で含まれるものである。

【0070】

また、上記の各実施の形態においては、層間絶縁膜として  $\text{LSAT}$  を用いているが、 $\text{LSAT}$  に限られるものではなく、 $\text{MgO}$ 、 $\text{CeO}_2$ 、或いは、 $\text{SrTiO}_3$  等を用いても良いものである。

【0071】

また、上記の第2の実施の形態においては、障壁層を  $\text{PBCO}$ 、即ち、 $\text{PrBa}_2\text{Cu}_3\text{O}_{7-x}$  で構成しているが、 $\text{PBCO}$  に限られるものではなく、 $\text{CeBa}_2\text{Cu}_3\text{O}_{7-x}$  等で構成しても良いものである。

【0072】

また、上記の各実施の形態においては、 $\text{YBCO}$  膜及び  $\text{PBCO}$  膜の堆積に際してレーザ蒸着法を用いているが、レーザ蒸着法に限られるものではなく、スパッタ法を用いても良いものである。

【0073】

また、上記の第1及び第3の実施の形態においては、ダメージ層を形成するために  $\text{Ar}$  イオンを照射しているが、 $\text{Ar}$  イオンに限られるものではなく、 $\text{Ne}$ 、 $\text{Kr}$ 、 $\text{Xe}$  等の他の希ガスイオンを照射しても良いものである。

【0074】

また、上記の第3の実施の形態及びその変形例においては、異なった  $J_c$  を有するジョセフソン接合を形成するために、イオンミリング法を用いているが、上記の第2の実施の形態と同様に堆積する障壁層の厚さを各ランプ斜面で異なるようにして、互いに異なった  $J_c$  を有するジョセフソン接合を形成しても良いもの

である。

【0075】

また、上記の第3の実施の形態及びその変形例においては、一つの島状領域においては、同じランプ斜面にブリッジを設け、同じ $J_c$ のジョセフソン接合を形成しているが、一つの島状領域において異なったランプ斜面にブリッジを設け、互いに $J_c$ の異なったジョセフソン接合を得るようにしても良いものである。

【0076】

ここで、再び、図1を参照して、本発明の詳細な特徴を説明する。

再び、図1(a)及び(b)参照

(付記1) 基板1上に少なくとも2つの臨界電流密度が異なるランプエッジ構造のジョセフソン接合9, 10を設けたことを特徴とする高温超電導装置。

(付記2) 上記臨界電流密度が異なるジョセフソン接合9, 10のうち、相対的に高臨界電流密度のジョセフソン接合9により相対的に高速動作回路要素を構成し、相対的に低臨界電流密度のジョセフソン接合10により相対的に低速動作回路要素を構成することを特徴とする付記1記載の高温超電導装置。

(付記3) 上記相対的に高臨界電流密度のジョセフソン接合9により構成される相対的に高速動作回路要素が、パルス発生器或いは比較器の少なくとも一方であることを特徴とする付記1または2に記載の高温超電導装置。

(付記4) 上記臨界電流密度が異なるジョセフソン接合9, 10が、互いに異なるダメージを受けた表面改質型の障壁層5, 6、或いは、互いに異なる厚さの堆積膜からなる障壁層5, 6のいずれかにより構成されることを特徴とする付記1乃至3のいずれか1に記載の高温超電導装置。

(付記5) 基板1上に設けた同一の島状領域2, 3に複数の斜面を有するランプエッジ構造を形成したのち、少なくとも1つの斜面におけるダメージが、他の斜面に対するダメージと異なる条件でイオン照射を行う工程を有することを特徴とする高温超電導装置の製造方法。

(付記6) 上記島状領域2, 3に対して基板1を回転させない条件で、イオンを一定の傾斜方向から照射することを特徴とする付記5記載の高温超電導装置の製造方法。

(付記 7) 基板 1 上に設けた同一の島状領域 2, 3 に複数の斜面を有するランプエッジ構造を形成したのち、少なくとも 1 つの斜面における堆積膜厚が、他の斜面に対する堆積膜厚と異なる条件で障壁層 5, 6 を堆積する工程を有することを特徴とする高温超電導装置の製造方法。

(付記 8) 上記島状領域 2, 3 に対して基板 1 を回転させない条件で、一定の傾斜方向から障壁層 5, 6 を構成する材料をスパッタ法により堆積することを特徴とする付記 7 記載の高温超電導装置の製造方法。

### 【0077】

#### 【発明の効果】

本発明によれば、酸化物超電導体からなる異なる臨界電流密度  $J_c$  を有するランプエッジ型接合を使い分けることで、超電導回路内の一部の要素回路のみを高速化あるいは高精度化することができ、それによって、高温超電導装置全体の性能を向上することが可能になり、ひいては、各種の高温超電導装置の実用化に寄与するところが大い。

#### 【図面の簡単な説明】

##### 【図 1】

本発明の原理的構成の説明図である。

##### 【図 2】

本発明の第 1 の実施の形態のランプエッジ型界面改質型接合の途中までの形成工程の説明図である。

##### 【図 3】

本発明の第 1 の実施の形態のランプエッジ型界面改質型接合の図 2 以降の形成工程の説明図である。

##### 【図 4】

本発明の第 1 の実施の形態におけるイオン照射方向によるダメージの分布の説明図である。

##### 【図 5】

本発明の第 2 の実施の形態のランプエッジ型界面改質型接合の形成工程の説明図である。

## 【図 6】

本発明の第 2 の実施の形態におけるスパッタ方向による膜厚の分布の説明図である。

## 【図 7】

DC/SFQ 変換回路の等価回路図である。

## 【図 8】

$I_c \times R_n$  積を 0.5 mV, 1.0 mV, 1.5 mV としたときの発生パルスのシミュレーション結果の説明図である。

## 【図 9】

DC/SFQ 変換回路と伝送線路 JTL とからなる等価回路図である。

## 【図 10】

JTL 部の  $I_c \times R_n$  積を 0.5 mV, 1.0 mV, 1.5 mV としたときの発生パルスのシミュレーション結果の説明図である。

## 【図 11】

DC/SFQ 変換回路、JTL、比較器、及び、JTL とからなる等価回路図である。

## 【図 12】

図 11 の回路における比較器への入力信号と出力信号の時間差（遅延）のシミュレーション結果の説明図である。

## 【図 13】

$I_c \times R_n$  積を 0.5 mV, 0.75 mV, 1.0 mV, 1.5 mV とした場合の遅延の被比較信号レベル依存性の説明図である。

## 【図 14】

遅延の  $I_c \times R_n$  積依存性の説明図である。

## 【図 15】

図 11 の回路における入出力波形の説明図である。

## 【図 16】

本発明の第 3 の実施の形態の超電導回路装置の説明図である。

## 【図 17】



本発明の第3の実施の形態の変形例の説明図である。

【図18】

$I_c \times R_n$  積の  $J_c$  依存性の説明図である。

【図19】

従来のランプエッジ界面改質型接合を有する超電導接合素子の途中までの製造工程の説明図である。

【図20】

従来のランプエッジ界面改質型接合を有する超電導接合素子の図19以降の製造工程の説明図である。

【符号の説明】

- 1 基板
- 2 島状領域
- 3 島状領域
- 4 下部電極層
- 5 障壁層
- 6 障壁層
- 7 上部電極層
- 8 ブリッジ
- 9 ジョセフソン接合
- 10 ジョセフソン接合
- 11 LSAT基板
- 12 下部電極層
- 13 絶縁層
- 14 レジストパターン
- 15 Arイオン
- 16 ランプ傾斜面
- 17 Arイオン
- 18 ダメージ層
- 19 Arイオン



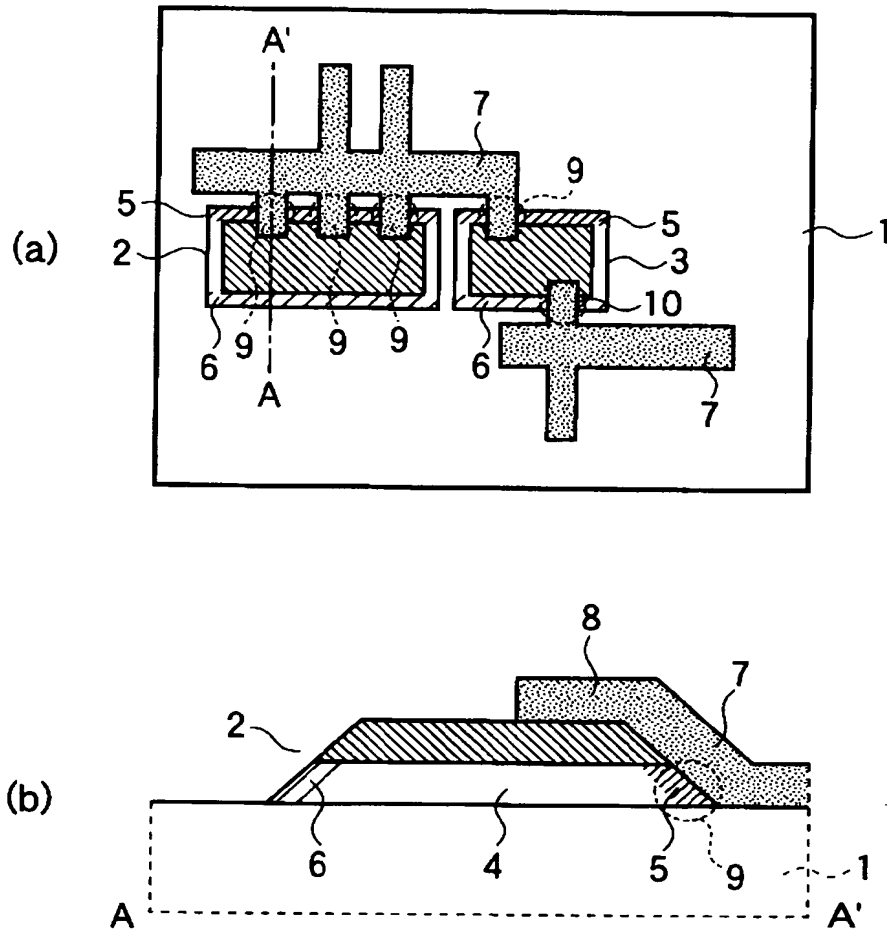
- 2 0 ダメージ層
- 2 1 上部電極層
- 2 2 障壁層
- 3 1 L S A T 基板
- 3 2 ~ 3 6 島状領域
- 3 7 ダメージ領域
- 3 8 ダメージ領域
- 3 9 上部電極層
- 4 0 ブリッジ
- 4 1 ブリッジ
- 4 2 引出配線部
- 4 3 島状領域
- 4 4 島状領域
- 5 1 S r T i O<sub>3</sub> 基板
- 5 2 Y B C O 層
- 5 3 C e O<sub>2</sub> 膜
- 5 4 レジストパターン
- 5 5 A r イオン
- 5 6 ランプ傾斜面
- 5 7 A r イオン
- 5 8 表面改質層
- 5 9 Y B C O 層
- 6 0 ブリッジ部

【書類名】

図面

【図 1】

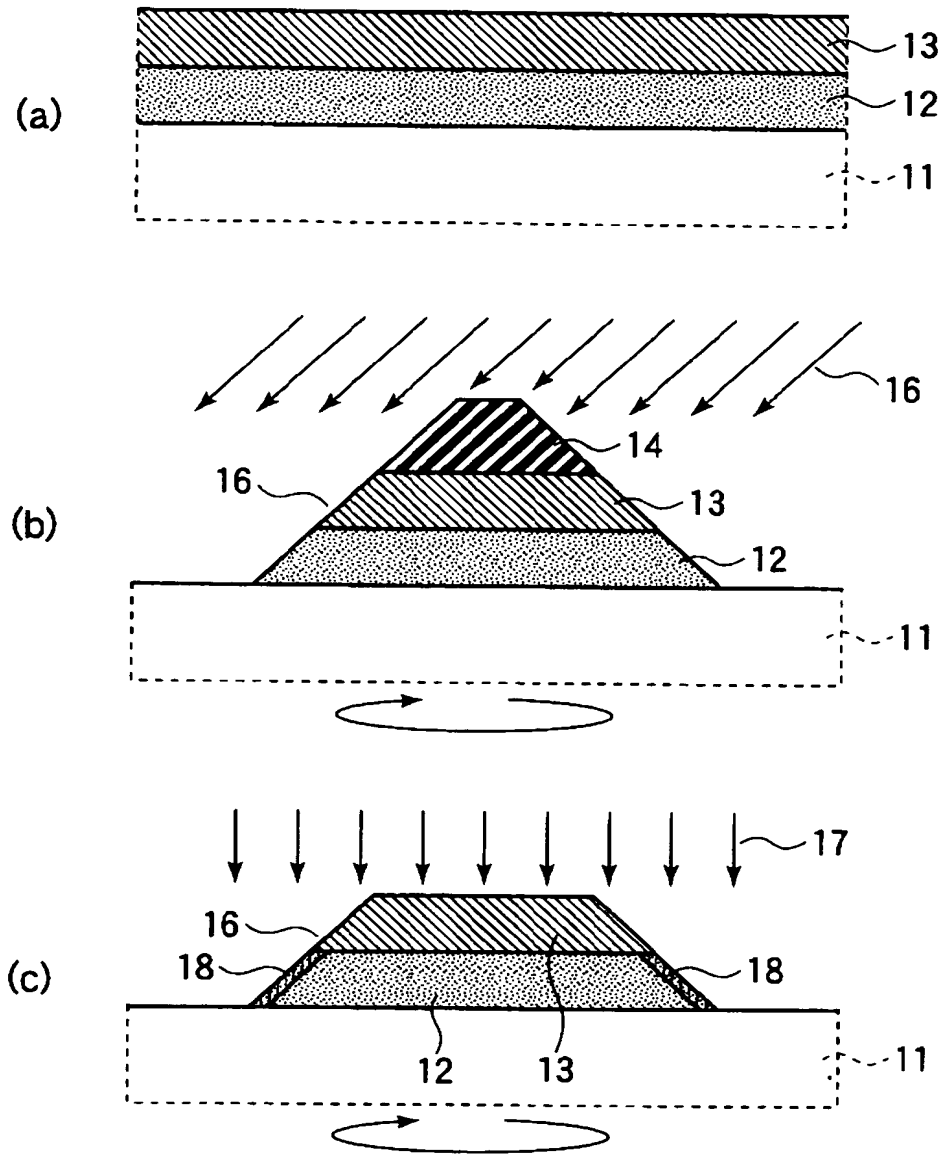
## 本発明の原理的構成の説明図



- |          |              |
|----------|--------------|
| 1: 基板    | 6: 障壁層       |
| 2: 島状領域  | 7: 上部電極層     |
| 3: 島状領域  | 8: ブリッジ      |
| 4: 下部電極層 | 9: ジョセフソン接合  |
| 5: 障壁層   | 10: ジョセフソン接合 |

【図 2】

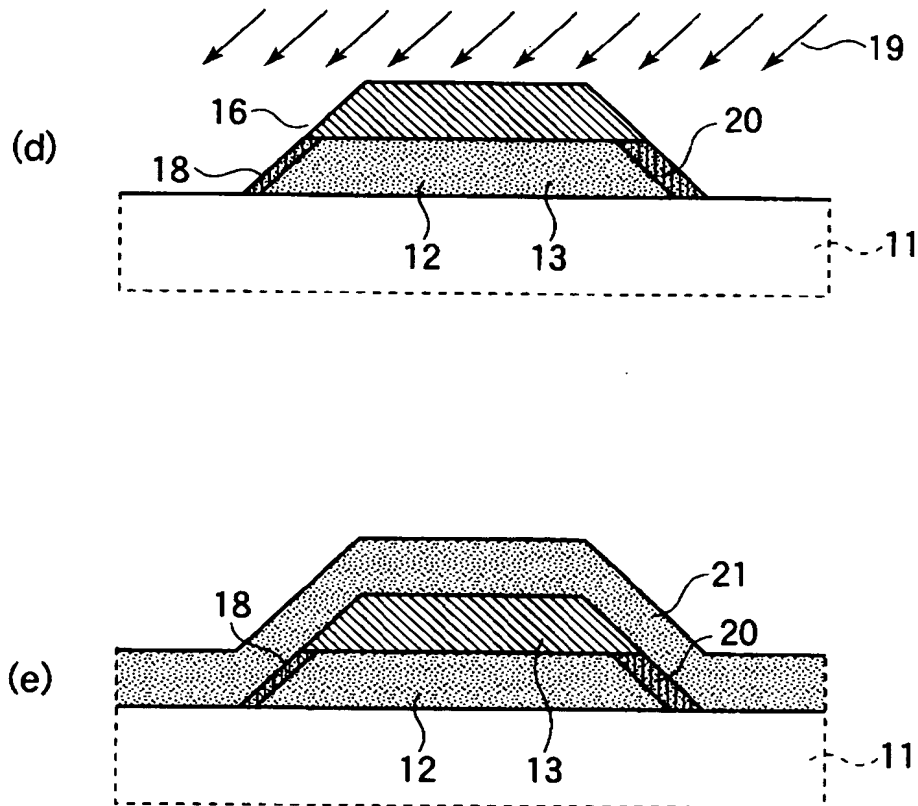
本発明の第1の実施の形態のランプエッジ型  
界面改質型接合の途中までの形成工程の説明図



- |              |            |
|--------------|------------|
| 11: LSAT基板   | 15: Arイオン  |
| 12: 下部電極層    | 16: ランプ傾斜面 |
| 13: 絶縁層      | 17: Arイオン  |
| 14: レジストパターン | 18: ダメージ層  |

【図3】

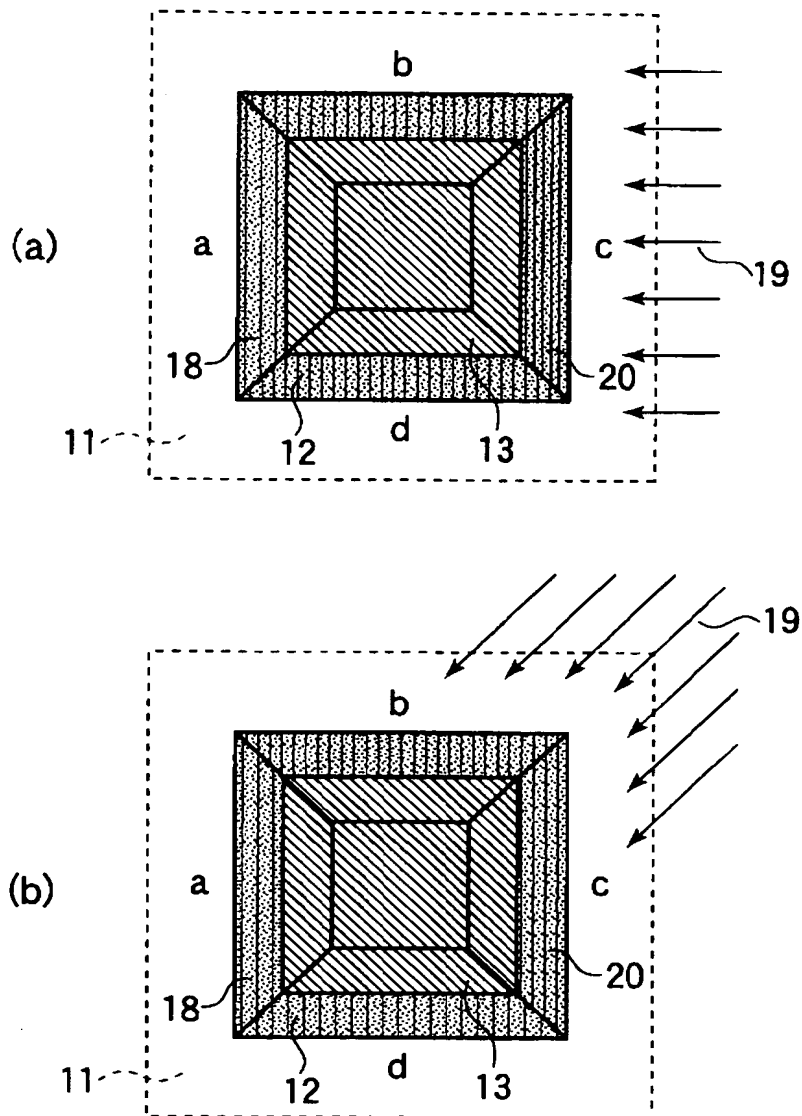
本発明の第1の実施の形態のランプエッジ型  
界面改質型接合の途中までの図2以降の説明図



- |            |           |
|------------|-----------|
| 11: LSAT基板 | 18: ダメージ層 |
| 12: 下部電極層  | 19: Arイオン |
| 13: 絶縁層    | 20: ダメージ層 |
| 16: ランプ傾斜面 | 21: 上部電極層 |

【図 4】

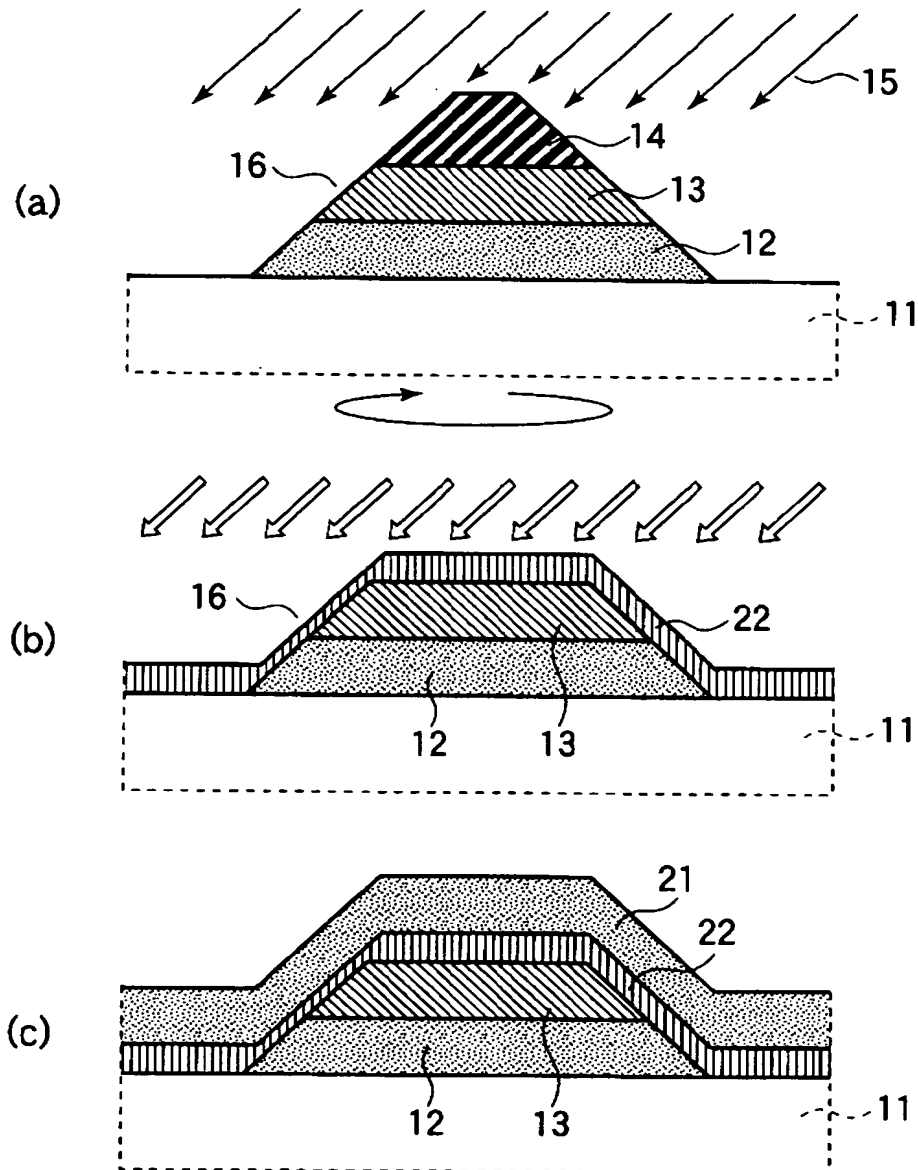
本発明の第1の実施の形態におけるイオン照射方向による  
ダメージの分布の説明図



11: LSAT基板	18: ダメージ層
12: 下部電極層	19: Arイオン
13: 絶縁層	20: ダメージ層

【図5】

本発明の第2の実施の形態のランプエッジ型  
界面改質型接合の形成工程の説明図

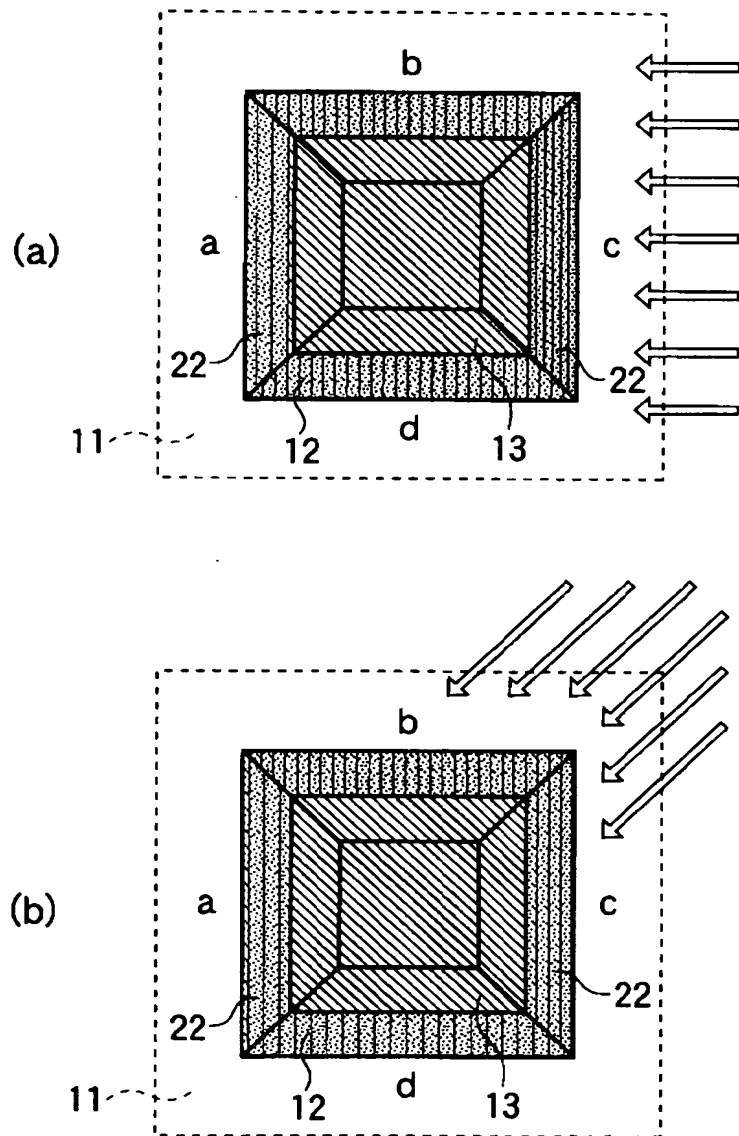


11: LSAT基板  
12: 下部電極層  
13: 絶縁層  
14: レジストパターン

15: Arイオン  
16: ランプ傾斜面  
21: 上部電極層  
22: 障壁層

【図6】

本発明の第2の実施の形態におけるスパッタ方向による  
膜厚分布の説明図

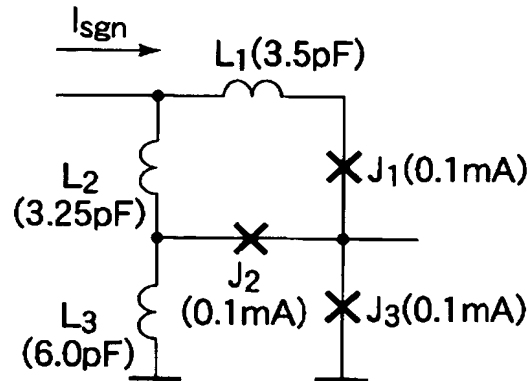


11: LSAT基板  
12: 下部電極層

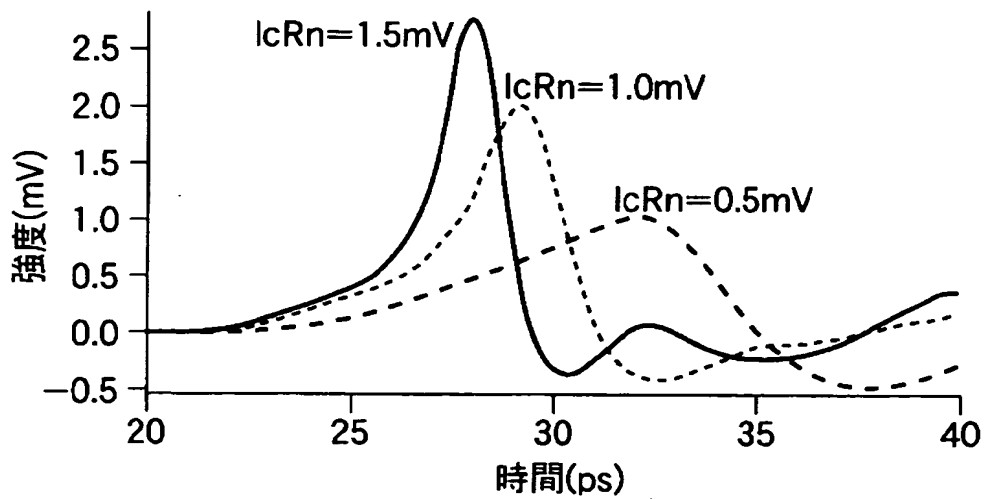
13: 絶縁層  
22: 障壁層

【図 7】

DC/SFQ変換回路の等価回路図



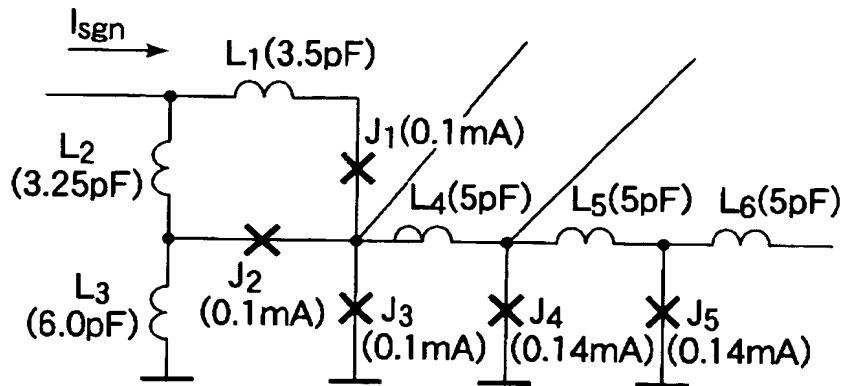
【図 8】

 $I_c \times R_n$ 積を0.5mV, 1.0mV, 1.5mVとしたときの  
発生パルスのシミュレーション結果の説明図




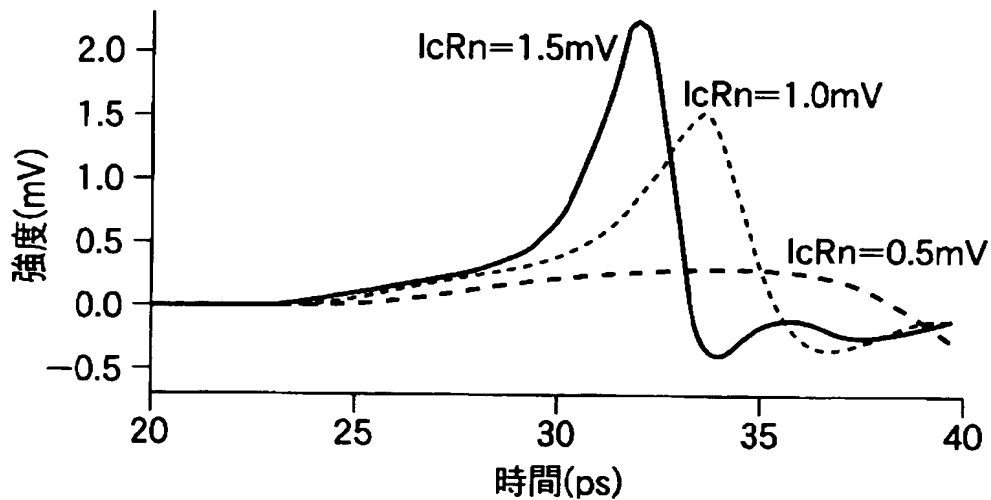
【図 9】

DC/SFQ変換回路と伝送線路JTLとからなる等価回路図



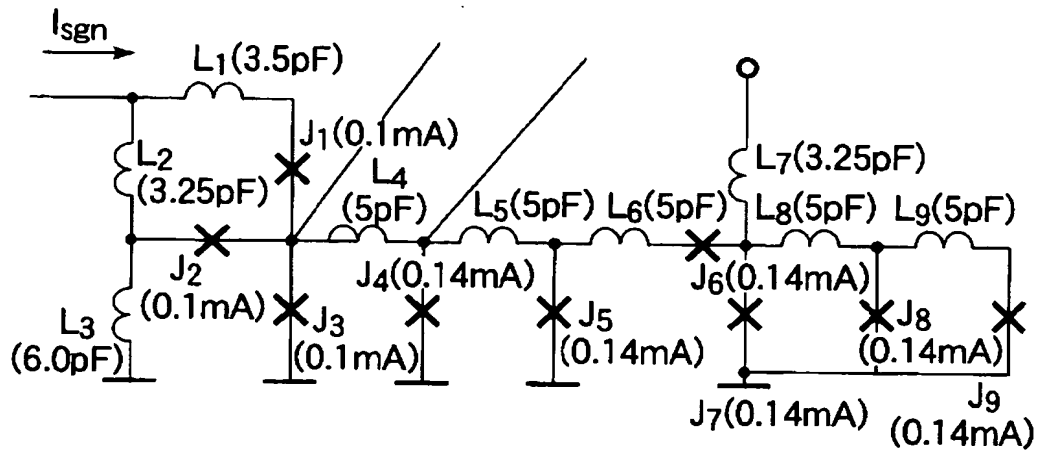
【図 10】

JTL部の $I_c \times R_n$ 積を0.5mV, 1.0mV, 1.5mVとしたときの発生パルスのシミュレーション結果の説明図



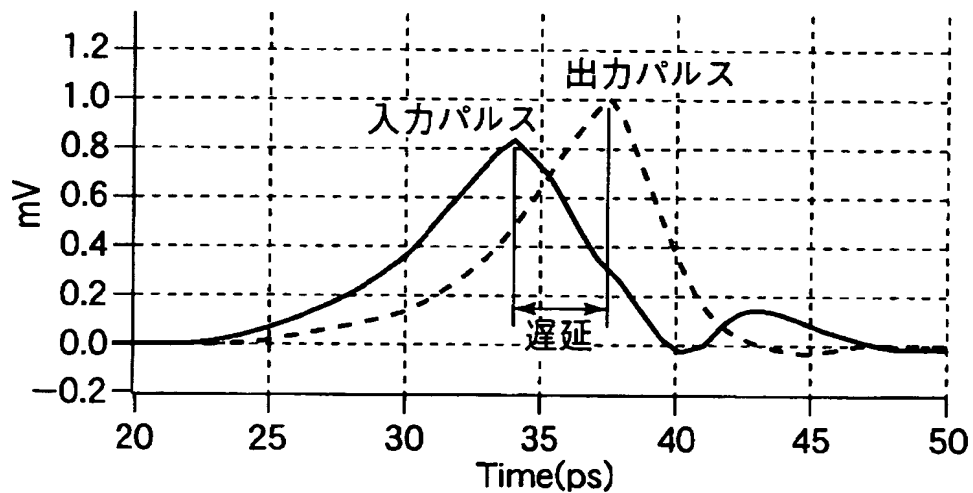
【図 1 1】

DC/SFQ変換回路、JTL、比較器、及び、JTLとからなる  
等価回路図



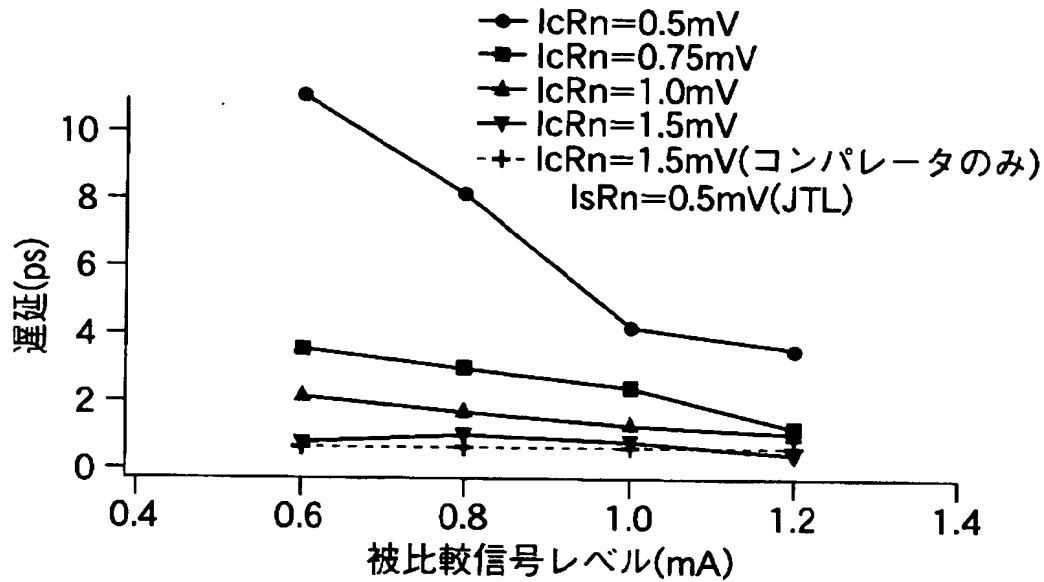
【図 1 2】

図11の回路における比較器への入力信号と出力信号の  
時間差(遅延)のシミュレーション結果の説明図



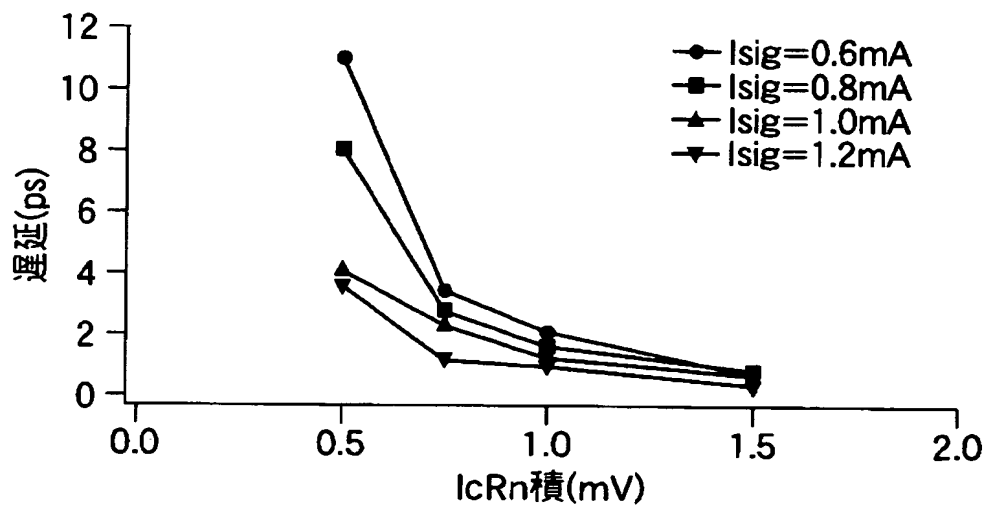
【図 13】

$I_c \times R_n$ 積を0.5mV, 0.75mV, 1.0m, 1.5mVとした場合の遅延の  
被比較信号レベル依存性の説明図



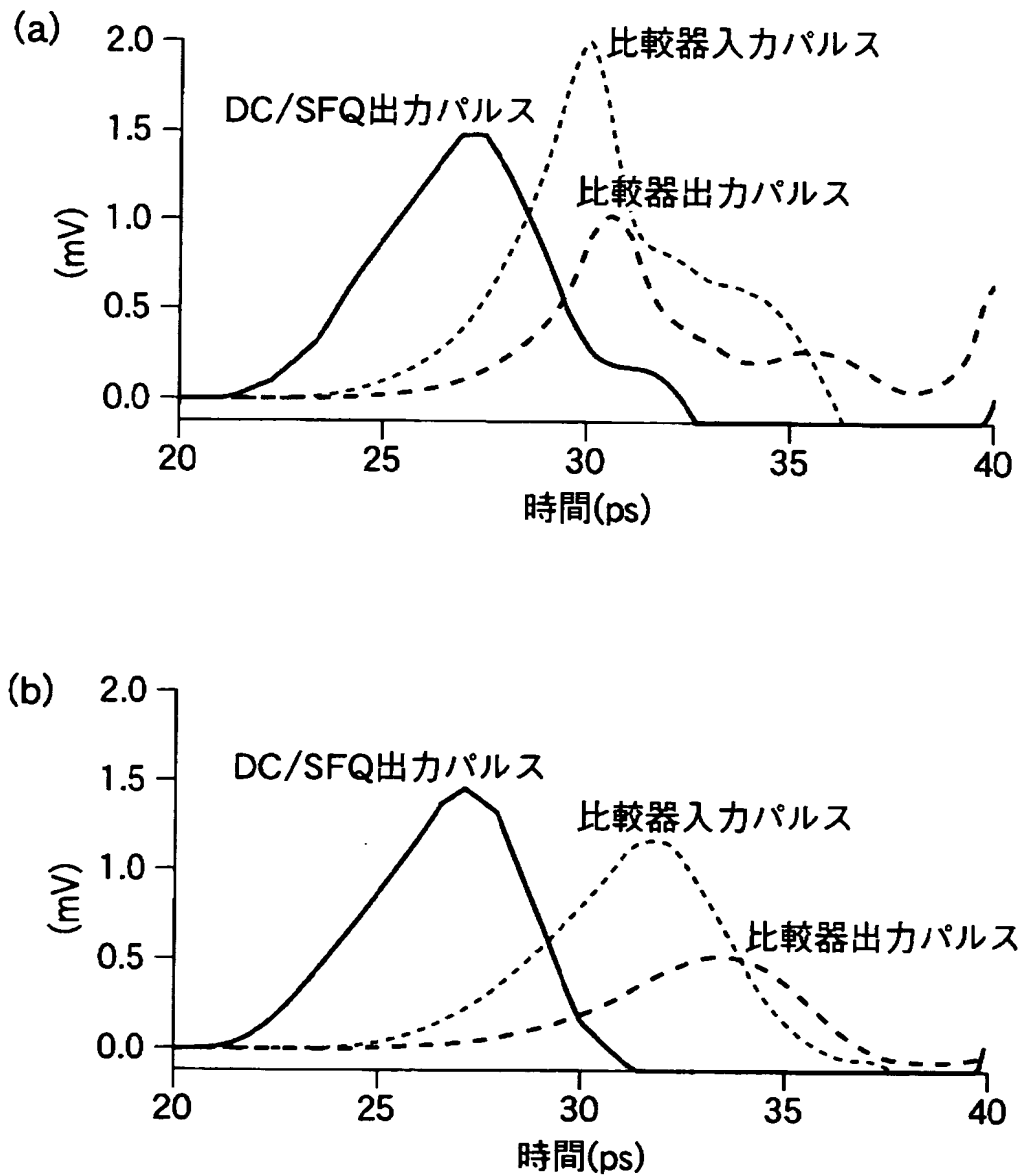
【図 14】

遅延の  $I_c \times R_n$  積依存性の説明図



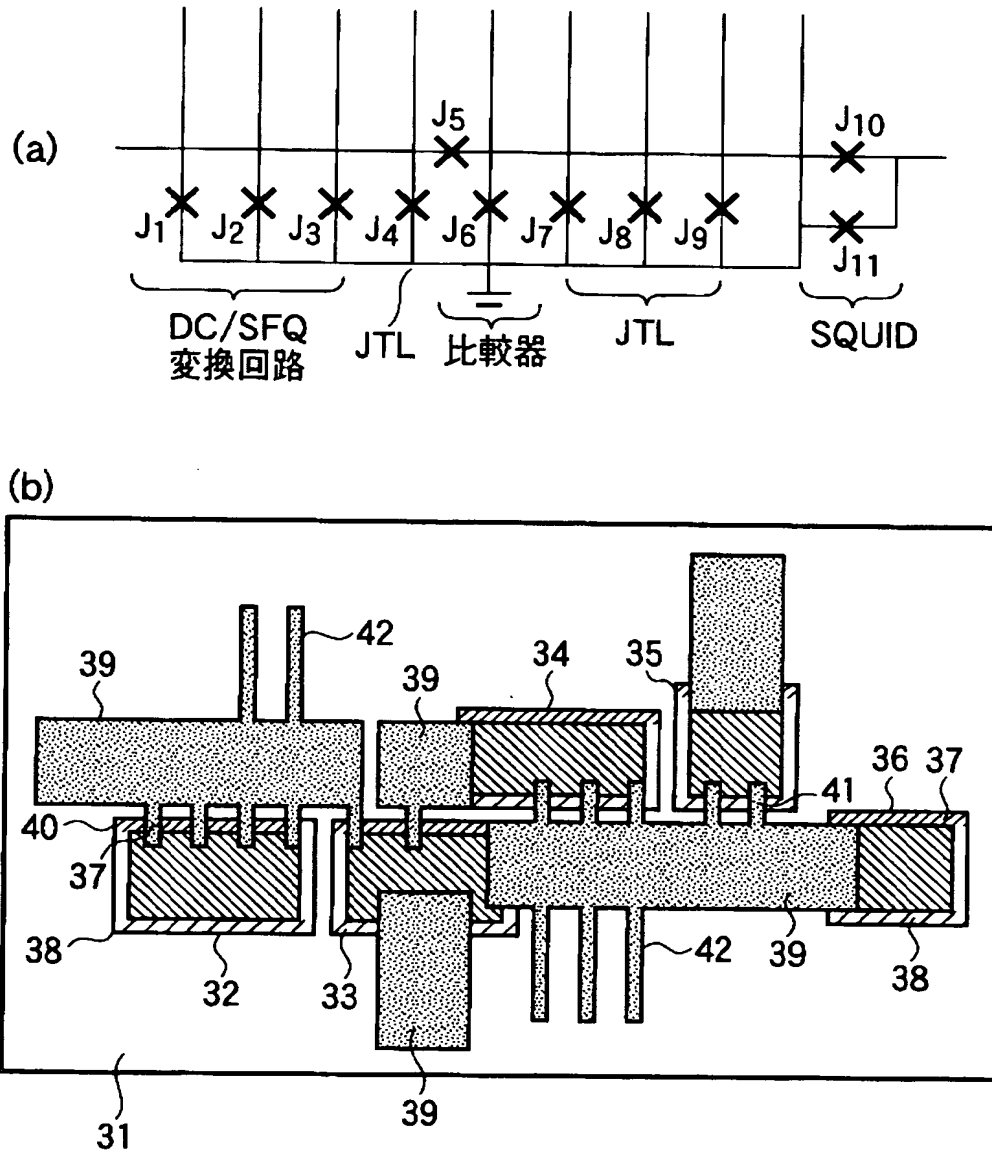
【図15】

図11の回路における入出力波形の説明図



【図16】

本発明の第3の実施の形態の超電導回路装置の説明図

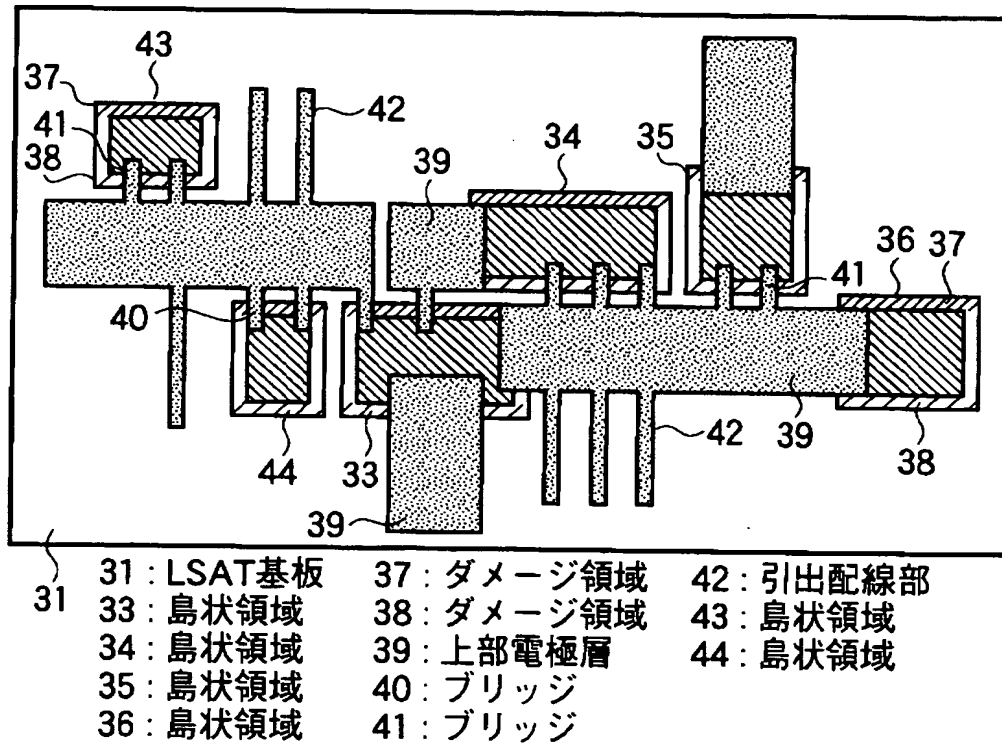


31: LSAT基板  
 32: 島状領域  
 33: 島状領域  
 34: 島状領域  
 35: 島状領域  
 36: 島状領域

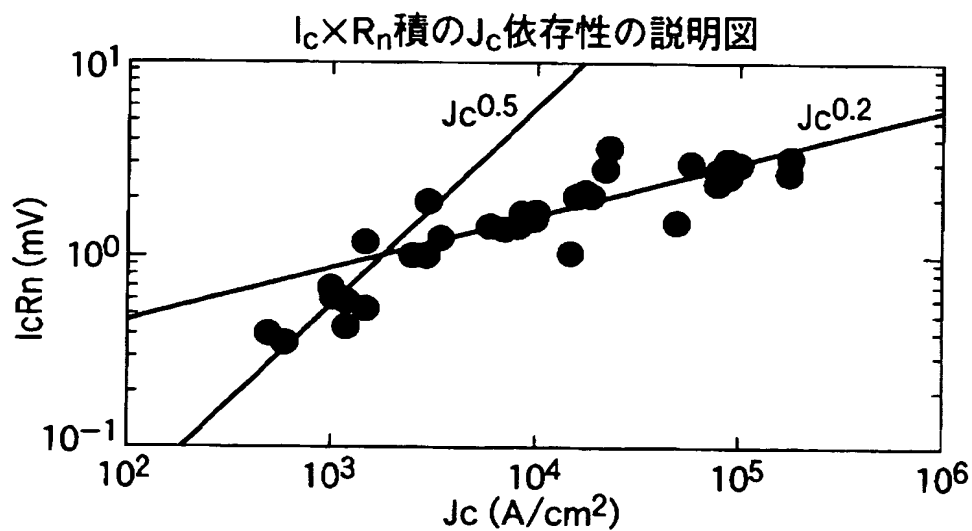
37: ダメージ領域  
 38: ダメージ領域  
 39: 上部電極層  
 40: ブリッジ  
 41: ブリッジ  
 42: 引出配線部

【図 17】

本発明の第3の実施の形態の変形例の説明図

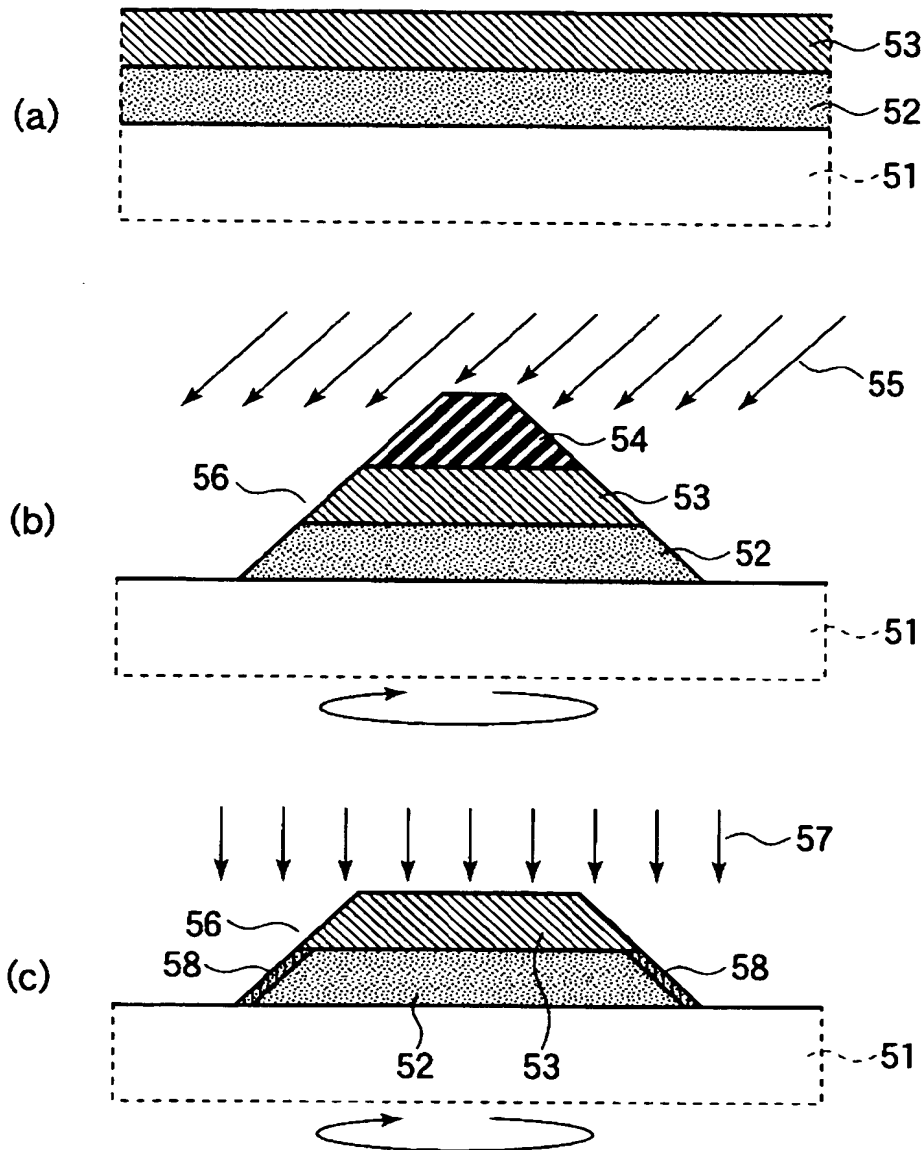


【図 18】



【図19】

従来のランプエッジ型界面改質型接合を有する  
超電導接合素子の途中までの形成工程の説明図

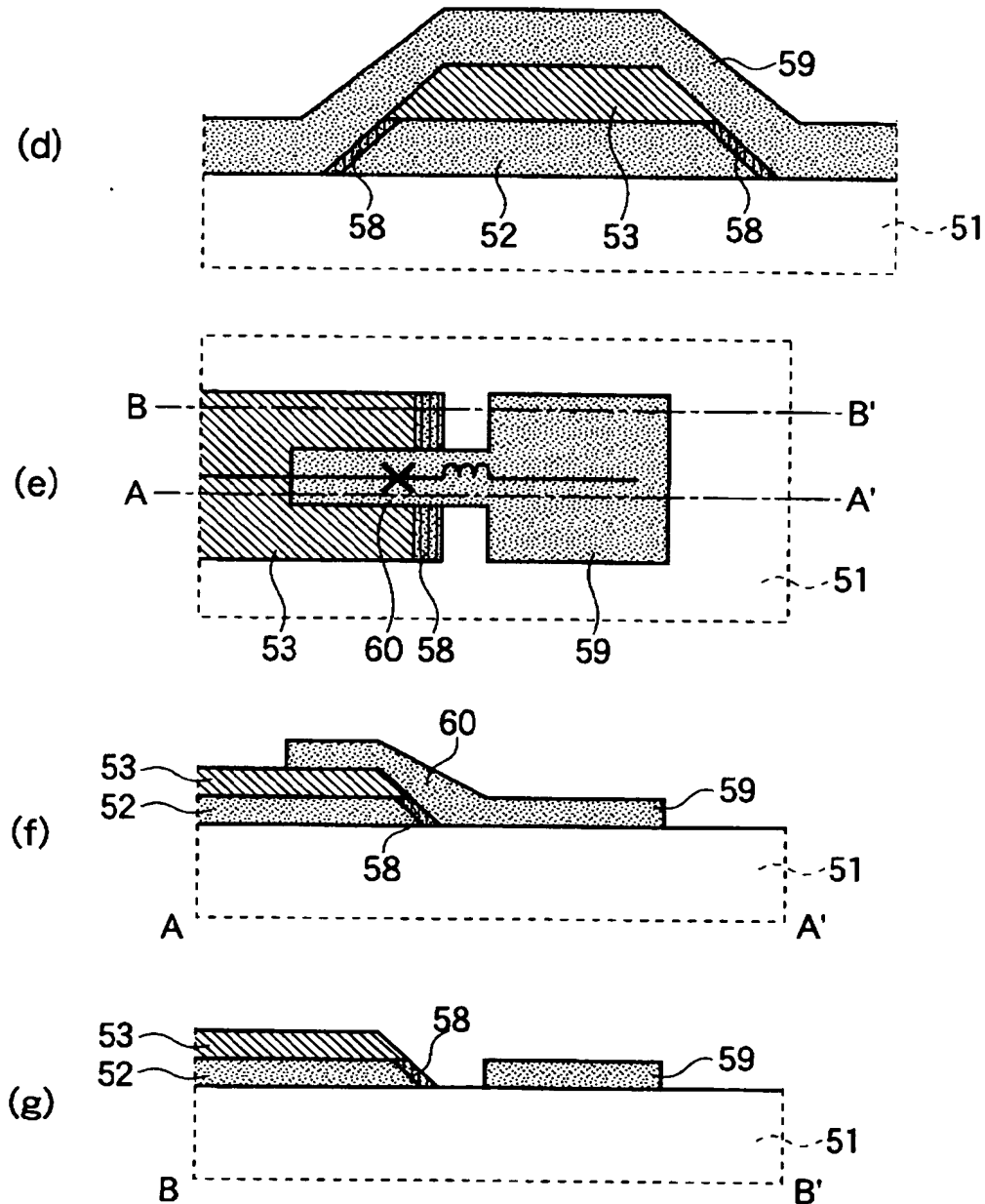


51 : SrTiO<sub>3</sub>基板  
52 : YBCO層  
53 : CeO<sub>2</sub>膜  
54 : レジストパターン

55 : Arイオン  
56 : ランプ傾斜面  
57 : Arイオン  
58 : 表面改質層

【図 20】

従来のランプエッジ型界面改質型接合を有する  
超電導接合素子の図19以降の形成工程の説明図



51 :  $\text{SrTiO}_3$ 基板  
52 : YBCO層  
53 :  $\text{CeO}_2$ 膜

58 : 表面改質層  
59 : YBCO層  
60 : ブリッジ部





【書類名】 要約書

【要約】

【課題】 高温超電導装置及びその製造方法に関し、S F Q回路等の高温超電導回路の安定な高速動作を可能にする。

【解決手段】 基板 1 上に少なくとも 2 つの臨界電流密度が異なるランプエッジ構造のジョセフソン接合 9, 1 0 を設ける。

【選択図】 図 1



特願 2 0 0 3 - 0 8 9 7 7 6

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社

特願 2 0 0 3 - 0 8 9 7 7 6

出 願 人 履 歴 情 報

識別番号 [ 3 9 1 0 0 4 4 8 1 ]

1. 変更年月日 1 9 9 0 年 1 2 月 2 1 日

[変更理由] 新規登録

住 所 東京都港区新橋 5 丁目 3 4 番 3 号 栄進開発ビル 6 階

氏 名 財団法人国際超電導産業技術研究センター